

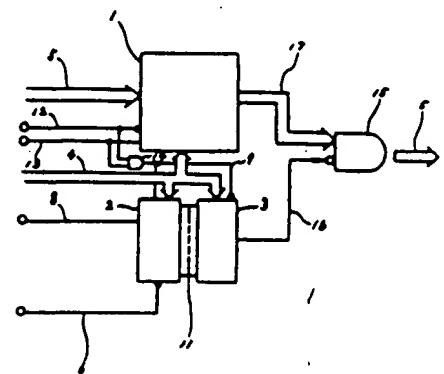
JA 0186015
OCT 1984

(54) MEMORY DEVICE

(11) 59-186015 (A) (43) 22.10.1984 (19) JP
(21) Appl. No. 58-60812 (22) 8.4.1983
(71) HITACHI SEISAKUSHO K.K. (72) OSAMU ANPO
(51) Int. Cl. G06F1/00, G11C29/00

PURPOSE: To give a function similar to instantaneous zero clearing to a memory device and to clear the content of an RAM instantaneously to zero by checking whether read address is registered in an address memory.

CONSTITUTION: A main body of a memory 1 that executes writing and reading of data in a memory device by a designated address, an address memory 2 that registers the written address and a selector 3 that selects the content of the memory 2 and outputs a gate controlling signal 16. Output of an AND gate 14 connected to a check select line 12 and a W/R line 13 is inputted to the memory 2 and selector 3. A controlling gate 15 that inputs the signal of the line 12, and is controlled by the controlling signal 16 from the selector 3 and gates the data from the main body 1 is provided. Then, it is checked as to whether read address is registered in the memory 2 or not by the selector 3 and gate 14. Thus, the content of the main body 1 of the memory is cleared instantaneously to zero by output of the line 5 of the gate 15.



⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑪ 公開特許公報 (A) 昭59-186015

⑫ Int. Cl.³ 識別記号 ⑬ 廣告整理番号 ⑭ 公開 昭和59年(1984)10月22日
G 06 F 1/00 103 A 6913-5B
G 11 C 29/00 7922-5B
発明の数 1
審査請求 未請求

(全 4 頁)

⑮ メモリ装置

⑯ 特願 昭58-60812
⑰ 出願 昭58(1983)4月8日
⑱ 発明者 安保統
日立市大みか町5丁目2番1号

株式会社日立製作所大みか工場
内
⑯ 出願人 株式会社日立製作所
東京都千代田区丸の内1丁目5
番1号
⑰ 代理人 弁理士 高橋明夫 外3名

明細書

発明の名称 メモリ装置

特許請求の範囲

1. 指定されたアドレスにて、データの書き込み、読み出しを実行するメモリ本体と、書き込みが行なわれたアドレスを登録するアドレスメモリと、読み出しに際し、読み出しアドレスが、前記アドレスメモリに登録されているかどうかチェックし、登録されている場合にゲート開信号を出力し、登録されていない場合にゲート閉信号を出力する選択回路と、前記ゲート開信号を入力し、ゲート開信号のとき、前記読み出しアドレスを、前記メモリ本体へ供給し、ゲート閉信号のときには、前記読み出しアドレスの前記メモリ本体への供給を阻止するゲートとを設けたことを特徴とするメモリ装置。

2. 特許請求の範囲第1項記載のメモリ装置において、アドレスメモリ出力であるゲート開信号を用いて、メモリ本体のデータ出力部に設けたゲートを開閉することによりメモリ出力を制御する

ことを特徴とするメモリ装置。

発明の詳細な説明

〔発明の利用分野〕

本発明は、メモリ装置に関する。

〔従来技術〕

従来、ランダムアクセスメモリ (RAM) の内容をクリアする場合は、アクセスしようとする RAM に、クリアすべき時間内に、ゼロデータを書き込むという方法が一般的であった。第1図は、その例を示している。

第1図において、アクセスしようとする RAM 1 に、クリア時にゼロデータを書き込むための、データセレクタ 2 1 と制御、クロック 2 0 によつて制御されているゼロデータ書き込みのためのアドレスを制御クロック 2 0 に従つて、順次アドレスを発生し、全アドレスを指定するアドレス発生回路 2 2 と、リセット時にゼロデータ書き込み指示を行なう書き込みコントロール回路 2 3 を設けて、RAM 1 内の各アドレスに、リセット時にゼロデータを書き込み、RAM をクリアしていた。

このため、次に挙げる欠点があつた。

- 1) 金アドレスをクリアしようとすれば、1KbitのRAMの場合、100μs程度の長時間を要する。
- 2) ゼロデータを書き込む操作を行なうための電力の消費がある。
- 3) ゼロデータ書き込みのための制御クロックを必要とする。
- 4) クロック系統が故障した場合、RAMの内容がクリアできなくなる。

【発明の目的】

本発明の目的は、従来技術の問題点を解決するためになされたもので、実質上瞬時にRAMの内容をゼロクリアすることのできるメモリ装置を提供することである。

【発明の概要】

本発明は、従来の問題点を解決するために、実際にRAMに書き込まれたデータをクリアするのではなく、実質上瞬時にゼロクリアしたのと同等の機能をメモリ装置に持たせている。すなわち、デ

ータをRAMに書き込む際に、そのデータを書き込んだアドレスをアドレスメモリに記憶させておき、読み出した際にしてメモリの内容がクリアされているとしたいときは、読み出しアドレスがアドレスメモリに登録されているかどうかをチェックし、登録されている場合には読み出しアドレスをメモリ本体に供給させないようにする。あるいは、読み出しアドレスがアドレスメモリに登録されている場合には、そのアドレスのデータ（メモリ本体に記憶されている）を外部に出力させないように制御する。

【発明の実施例】

以下、本発明を具体的実施例に基づいて詳細に説明する。

第2図は、本発明の一実施例を示す。この図において、1は、データを書き込んだり、あるいは書き込まれたデータを読み出したりするため、データを記憶するメモリ本体（RAM）である。13は、書き込みあるいは読み出し（W/R）を制御する（区別する）ためのW/Rラインである。12はチップセレクトラインで、このラインの信号が“1”

となつたとき、このRAM1のアクセス（すなわち書き込みあるいは読み出し）を可能にする。5はデータラインであり、書き込むべきデータあるいは読み出されたデータがそのライン上に出力される。4はアドレスラインであり、アクセスすべきRAM1のアドレスを規定するためのアドレス信号がそのライン上に出力される。2はアドレスメモリであり、アドレスライン4と接続されている。したがつて、アドレスメモリ2は、アンドゲート14が“1”の状態で、アドレスライン4に出力されたアドレス信号（アドレスデータ）を記憶する。3はセレクタであり、アドレスメモリ2の内容をアドレスライン4上のアドレス信号を入力するとともに、アンドゲート14の出力を入力し、出力ゲート制御ライン16にゲート制御信号を出力する。15は出力制御ゲートであり、信号ライン17上に输出されたデータを通過させるか、阻止するかを規定するゲート制御信号によって制御される。

次に、この第2図に示す装置の動作を説明する。まず、書き込み動作は、次のように行なわれる。す

なわち、RAM1へのデータ書き込み指令がW/Rライン13上に出力され、またチップセレクトライン12上に動作指令（“1”）が出力された場合、これらのアンド出力を行なうアンドゲート14の出力が“1”となる。ただし、W（書き込み）の場合は“1”であり、読み出しの場合は“0”であるとする。アンドゲート14の出力（この場合“1”）は、アドレスメモリ制御ライン9を介してアドレスメモリ2に送られる。アドレスメモリ2は、アドレスライン4上に出力されているアドレス信号が示すアドレス（RAM1のアドレスに対応している。）に“1”を書き込む。すなわち、そのアドレスを“1”状態にする。“1”的データは、ライン8から供給される。また、書き込むためのデータは、データライン5を介してRAM1に供給され、アドレスライン4上に出力されているアドレス信号に対応するアドレスに書き込まれる。このとき、セレクタ3は、アドレス制御ライン9が“1”状態となつてるので、ゲート制御信号を出力せず、制御ゲート15はゲートを閉じた状態

となつてゐる。このように、データの書き込みが行なわれるとき、このデータの書き込みが行なわれたRAM1内のアドレスは、アドレスメモリ内の該当するアドレスが“1”状態となつてゐることによつて認識される。

現いて、RAM1からデータを読出す動作を説明する。このときは、W/Rライン13は“0”状態となり、チップセレクトライン12は“1”状態となる。したがつてアンドゲート14は、“0”をライン9に出力する。RAM1は、ライン12の状態(“1”)を入力し、動作開始となる。この状態で、アドレスライン4にアドレス信号が输出されると、その信号に該当するRAM1内のアドレスが付勢され、データライン17にデータを出力する。このとき、アドレスメモリ2は、アンドゲート14の出力が“0”であるので、動作せず、状態を保持したまゝとなつてゐる。セレクタ3は、ライン4上のアドレス信号を入力し、アドレスメモリ内の対応アドレスの状態“1”、“0”をゲート制御信号として出力する。メモリ

にデータが記憶されているアドレスは“1”となつてゐるので、ゲート15はライン17上のデータをライン5上に出力する。

さて、アドレスメモリ2には、クリアを指令するグランド信号(G&信号)6が入力されるようになつており、この信号を入力したときアドレスメモリはすべてクリアされた状態となる。つまり、アドレスメモリ内のデータがすべてゼロとなる。したがつて、G&信号6を与えれば、データ読出しの際、セレクタ3は常に“0”(なぜなら、アドレスメモリ2内の各アドレスのデータが“0”にクリアされている。)となり、制御ゲート15はゲートを閉じた状態となる。これによつて、アドレスライン4上にアドレス信号を出力しても、RAM1内のそのアドレスのデータはデータライン5上に出力されることはなくなる。つまり、この場合常にゼロデータがライン5に出力されていることと同等となる。

この実施例によれば、アドレスメモリへのG&信号入力でRAM1内のデータを消去することな

く、データライン5上に現われるデータはゼロ(000…0)となる。

次に、本発明の他の実施例について説明する。第3図は本発明の他の実施例である。

第3図において、第2図と同じ番号の機器は同様の機器を示す。第3図において、15はチップセレクトコントロールゲートである。この例は、第2図の場合がデータ自体のデータライン5上への出力を阻止したのに対し、必要に応じてチップセレクト信号自体をRAM1に供給させないように制御するものである。言いかえれば、第2図の場合、出力側を阻止したのに対し、第3図の場合、入力側を阻止した点で異なる。

第3図において、セレクタ出力16は、読出しえどりだけ判定出力する。この制御は、アンドゲート14の出力によつて行なわれる。

この実施例では、第2図の場合よりも簡単な構成となり、実用的である。

なお、本発明は、上述の実施例に限定されるものではなく、本発明の思想の範囲内のものを含む。

【発明の効果】

以上説明したように本発明によれば、実際データをクリアしなくともクリアしたと同等の出力を実現できるので、実質上瞬時にRAMの内容をゼロクリアすることができる。

図面の簡単な説明

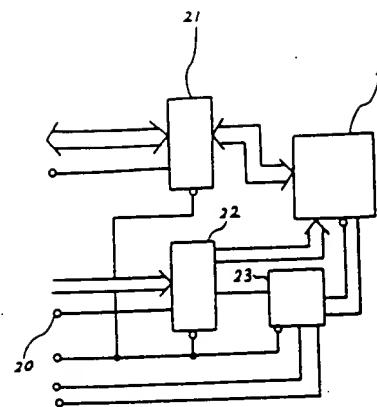
第1図は従来のメモリ装置を示す図、第2図と第3図は本発明の一実施例を示す図である。

1…メモリ本体、2…アドレスメモリ、3…セレクタ、14…アンドゲート、15…制御ゲート。

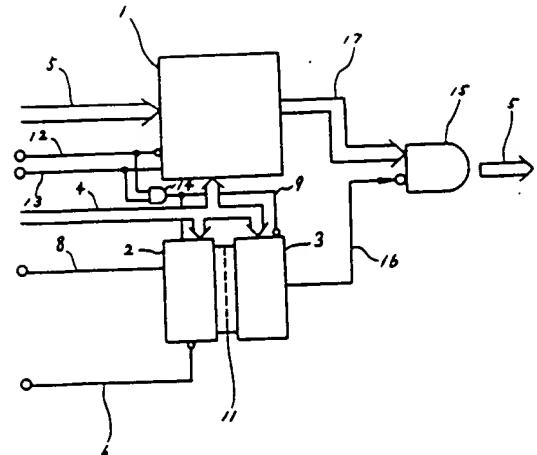
代理人弁理士高橋明夫



第1図



第2図



第3図

